

数字电路逻辑模拟软件 DCLSS 的研究与实现

韩丰田¹, 李永刚², 肖宪国¹

(1. 郑州工业大学机械与电子工程学院, 河南 郑州 450002; 2. 郑州工业大学材料科学与工程系, 河南 郑州 450002)

摘 要: 为了能够在微机上用软件实现不依赖于特定实验装置的数字电路实验, 开发了基于 Windows 环境下的数字电路逻辑模拟软件 DCLSS. 软件采用图形输入方式, 元件模型为五值、三强度及上下跳变延迟, 模拟算法采用表驱动方法、时间映射方式、门级和功能级混合模拟. 该软件能够模拟组合逻辑电路、同步和异步时序逻辑电路及部分 GAL 等可编程逻辑元件组成的电路. 并重点介绍了软件所采用的元件模型及模拟算法.

关键词: 逻辑模拟; 时间映射; 元件模型; 数字电路

中图分类号: TP 311.2 **文献标识码:** A

1 软件组成和特点

DCLSS 是采用 Visual C++ 语言开发的, 基于 Windows 环境下的, 具有五值、三强度的门级和功能级数字电路逻辑模拟软件. 实验电路采用电路图输入方式, 定义 GAL 元件的描述语言同当前流行的描述语言(如 FM)相类似, 不但可以分析所绘电路的逻辑功能、延迟特性, 并且可反映出电路中可能存在的竞争冒险情况. 该软件具有如下特点^[1]:

(1) 器件库中包含常用的分立元件、TTL 器件、GAL 器件和宏元件. 宏元件是指将振荡器、单稳态触发器等含有模拟信号的元件及其外围电路封装到一个模块中, 并作为一个元件来对待, 以满足数字电路实验中处理模拟信号的需要. 所有元件图形均为实物封装图, 并且象按钮、发光二极管和数码管等器件在模拟过程中还可实时地反映出该器件所处的状态, 故真实感很强, 便于初学者增加对数字电路的感性认识.

(2) 使用 DCLSS 软件中激励信号波形定义对话框, 可以灵活设置逻辑模拟时需要的输入激励信号和测试码, 允许设置的激励信号可多达 100 个.

(3) 逻辑模拟的结果以波形显示, 用户可灵

活设定需要跟踪的信号, 跟踪信号波形可在屏幕上显示或存入磁盘文件中.

(4) 用户可设置 1~50 个“中断点”, 每个中断点的中断条件可以是任意个节点信号的“与”(AND)、“或”(OR)及“非”(NOT)的组合. 在模拟过程中, 只要有一个中断点的中断条件得到满足, 程序运行便中断以便帮助用户及时发现逻辑模拟中出现的问题.

(5) 屏幕上显示波形时, 用户可根据需要在不同位置设置基准标志, 作为测量延迟时间的基准线, 测量时间的精度可以与特性数据库中逻辑单元延迟的精度相同. 对于 TTL 数字电路, 时间精度可达 1ns.

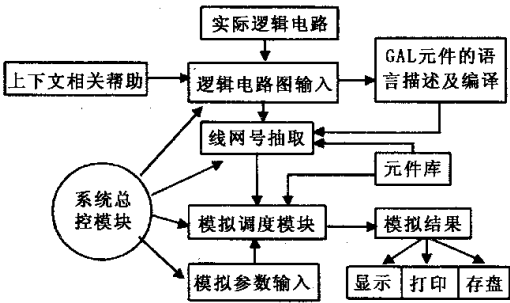


图 1 逻辑模拟系统方框图

图 1 中是该逻辑模拟系统的方框图, 软件的主要部分包括逻辑电路图输入、GAL 器件功能定

义与编译、逻辑电路的线网号抽取、元件模型、逻辑模拟算法及模拟结果输出等模块。本文主要介绍了 DCLSS 数字逻辑模拟软件所采用的元件模型及逻辑模拟算法。

2 元件模型

元件模型决定了模拟系统的准确程度, DCLSS 中为了提高模拟精度, 采用了较为精确的元件模型。下面对元件模型的方案设计进行简要介绍:

2.1 延迟时间

DCLSS 中采用的延迟模型为上升/下降延迟模型^[2], 可以较精确地表示电路的时序特性, 延迟时间以纳秒(ns)为单位。

2.2 扇入/扇出系数

信号处于高电平时的扇入/扇出系数与处于低电平时的扇入/扇出系数可能是不同的。DCLSS 中选择扇出系数中数值较小者作为高/低电平共同的扇出系数, 取扇入系数中数值较大者作为高/低电平共同的扇入系数, 故每一个输入/输出信号端对应一个扇入/扇出系数。

2.3 负载条件检查

当输入逻辑电路图并抽取元件间的连线关系后, 要检查每个输出信号的负载情况, 看是否超过其带负载能力, 即是否满足下式^[2]:

信号的扇出系数 $\geq \sum$ (该信号上每一负载的扇入系数)

如果有不满足负载条件的信号端, 则在线网号抽取结果的出错信息部分指出其超载。

2.4 约束条件检查

在器件手册上常常载有对输入信号的限制条件, 这是保证该元件正常工作所必需的。模拟软件为用户提供了检查这些限制条件的能力, 对输入信号的限制条件大体上可分为以下 3 类^[2]:

(1) 信号自身的时间关系: 例如正、负脉冲宽度的极限值。

(2) 各输入信号之间的时间关系: 例如建立时间和保持时间。

(3) 电平配合问题: 例如 D 触发器的 S (Set) 端和 R (Reset) 端不能同时为低电平。

2.5 器件类型

一种类型的元件具有唯一的类型名, 该类型元件的逻辑功能、特性参数 (如传输延迟、扇入/扇出系数) 和约束条件都是确定的。如果两个元件在逻辑功能、特性参数和约束条件等任一项上稍有

不同, 就使用两个不同的类型名以标志它们是不同的元件。如 74LS00 和 74S00 的某些特性参数不同, 作为两个不同的元件对待。

2.6 器件号和器件单元号

器件号是用来识别不同器件的关键字, 电路图中的所有元件均需指定唯一的器件号。DCLSS 中在放置元件时指定器件号, 并自动地检查指定的器件号是否存在以免出现重复的器件号。为了兼顾数字电路实验的需要, DCLSS 元件库中所有元件图形均为元件的实物图而非逻辑符号。这样, 对于器件包含多个相互独立、逻辑功能相同的逻辑单元的情况, 需要用器件号和器件单元号来唯一确定器件的每一逻辑单元。例如 74LS00 中包含 4 个与非门, 分别用单元号 1, 2, 3, 4 来代表该器件中的 4 个逻辑单元。

2.7 信号名和线网号名

DCLSS 中每一元件的每个引脚对应唯一的信号名, 信号名是由器件号与引脚号组成。例如, 器件号为 U12 的第 5 引脚, 其信号名为 U12.5。通过信号名可访问与其对应的线网号, 在模拟时可通过信号名安排信号事件表。

线网号名也是唯一的, 代表所有连接到一起的信号名。通过线网号名可访问连接到该线网号上的所有信号名, 以便于在模拟时安排器件事件表。

2.8 电平强度

逻辑模拟软件中除了考虑逻辑电平外, 还考虑到了信号的电平强度。当不同的逻辑信号作用于同一节点时, 要按照逻辑电平及其强度确定节点的状态。DCLSS 中电平强度按强度的强弱顺序分为如下 3 级: 驱动器、电阻级与高阻级^[3]。

2.9 信号状态值

DCLSS 中采用五值模拟^[4], 5 个信号状态值分别为高电平 1、低电平 0、上跳变 0/1、下跳 1/0 和高阻态 Z。如果一信号线的状态值原为 0, 在对元件进行计算后, 该信号线的当前状态值为 1, 则可知该信号线在当前时刻发生 0 到 1 的跳变。模拟中 5 个状态值的优先级排列顺序为: 1/0 = 0/1 > 0 = 1 > Z。

3 表格结构和调度算法

DCLSS 系统在逻辑图输入、线网号抽取和模拟的初始化过程中产生的表格主要有: 元件表、元件描述表、元件号表、输入/输出特性表、各引脚状态值表、各引脚单元号表、各引脚扇入/扇出表、元

件传输延迟时间表、元件逻辑功能和约束条件描述表、引脚名与线网号间的映射表、线网号表、线网号描述表、线网号状态值表、线网号的扇入信号名表和扇出信号名表、波形数据表、追踪信号表等。元件逻辑功能计算和约束条件检查按元件的类型分类。

DCLSS 中采用表驱动方法、时间映射方式和选择追踪算法^[2]。除上述表格外,供模拟调度过程使用的主要表格如图 2 和图 3 所示。

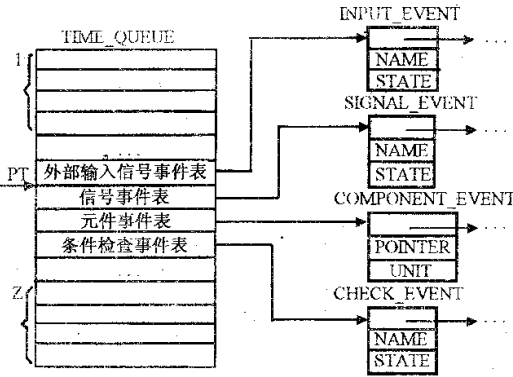


图 2 逻辑模拟事件表

3.1 时间序列表 TIME_QUEUE

TIME_QUEUE 是长度为 Z 的循环表,表中存放着 Z 个时刻的事件链的首指针,每个时刻又称作一个时间轮,因此 Z 也称作时间轮的容量。

Z 的长度按如下方法确定:

int Step; //在模拟参数中指定的模拟步长

int DelayMax; //逻辑图中各器件的传输延迟最大值

int CommonDivisor; //各器件传输延迟的最大公约数

int Z = DelayMax/Step/CommonDivisor + 1;

在 DCLSS 中,每个时刻有 4 个不同的事件链表,所以 TIME_QUEUE 表相当于 $4 * Z$ 的二维数组,如图 2 所示。

设模拟时钟为 Timer,TIME_QUEUE 的指针为 PT,模拟开始时刻:

Timer = PT = 0

模拟时钟前进一步,Timer 加 1,

PT = Timer MOD Z

式中,MOD 表示取模运算。

3.2 信号事件表 SIGNAL_EVENT

一个事件通常由 3 个要素组成,即信号名 (NAME)、状态值 (STATE) 以及事件发生的时刻。

使用时间映射算法,事件发生的时刻隐含在时间序列表中,事件表中只存放前两项即可。

在信号事件表中,根据信号名映射到与其对应的线网号指针,由线网号上输出信号表中各输出引脚的电平强度和状态值确定线网号的状态值,根据线网号的状态值初始化该线网号上各输入引脚的状态值,并检查各输入引脚所属的器件名和器件单元号在器件事件表中是否存在,若不存在,则将该输入引脚所属的器件名和器件单元号安排到信号事件表中,以保证在一个时间轮中每个器件(的每一逻辑单元)计算一次。

3.3 外部输入信号事件表 INPUT_EVENT

INPUT_EVENT 中存放在时刻 T 状态值发生变化的外部输入信号信号名和状态值,又称作外部激励信号状态值改变事件。对外部激励信号采用零延迟模型,在每一时间轮的最初阶段,首先对每个外部输入信号状态值改变与否进行检查,若有外部输入信号状态值改变,则添加到当前时间轮的 INPUT_EVENT 表中,该事件表的处理与信号事件表的处理完全相同。

3.4 元件事件表 COMPONENT_EVENT

每个时刻 (T) 要进行计算的元件构成元件事件表,元件事件表有如下特点:

(1) 如果某一线网号的状态值改变,则该线网号所驱动的元件都需重新计算。

(2) 如果元件的任一输入引脚状态值改变,该元件需重新计算。

(3) 同一时刻由不同的输入信号引起同一元件的计算在元件事件表中保留一个元件事件。

元件事件表中存放要计算的元件指针 (POINTER) 和相应单元号 (UNIT)。在元件事件表的计算过程中,每当有输出引脚的状态值改变,则根据该器件的传输延迟时间 t_{pLH} 或 t_{pHL} 将该信号安排到未来时刻时间轮的信号事件表中。

3.5 条件检查事件表 CHECK_EVENT

条件检查事件中存放要进行检查的信号名和检查条件,主要用于检查输入信号的脉冲宽度、建立时间、保持时间和电平配合等是否满足约定条件,在模拟过程中,若有一项不满足,则中断模拟,显示出错信号名及出错信息。

3.6 大延迟事件表 MACRO_DELAY

电路中各元件的延迟时间可能相差悬殊,若某信号的延迟时间超过时间轮的容量 Z,其未来事件在 TIME_QUEUE 表中就容纳不下,此时可放入大延迟事件表中。

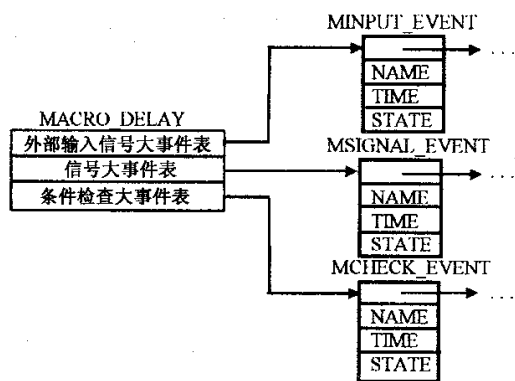


图 3 大延迟事件表

如图 3 所示,共设 3 种大延迟表链表,同一类大延迟事件放在同一链表中,每个链表分块有序,即根据事件发生的时刻,按 Z 的整数倍数分块,各块按时间顺序由小到大排列,同一块内的大事件无序存放,因为同一块内的大事件在同一时刻被分配到 $TIME_QUEUE$ 时间序列所在的各个事件表中。

大延迟事件链表中存放的内容与 $TIME_QUEUE$ 表中各事件表中存放的内容相对应,只是要增加存放该事件发生的时刻 ($TIME$),当大延迟事件移到 $TIME_QUEUE$ 对应的事件中时,各事件的发生时刻就隐含在对应的时间链表中。

4 提高模拟速度的方法

提高模拟速度的一个方面是提高模拟元件抽象的级别,如功能级、行为级等^[4];另一个方面是寻找快速的模拟算法。DCLSS 中为提高模拟速度采用了以下几种方法:

4.1 选择追踪方法^[2]

所谓选择追踪方法就是只对输入信号发生变化的元件安排事件和进行计算,如果计算出的新状态值与原来的状态值相同,表示此元件的输出状态值保持稳定不变,也不会对其后的负载元件有任何影响,停止往下追踪信号的变化,不安排新的事件,只有在新的状态值与原来的状态值不同时,才去追踪与此输出值相关的所有负载元件,根据延迟时间,安排负载元件到相应的未来事件表中,如此重复,直到未来事件表为空或达到预定的模拟步数为止。

4.2 其他方法^[1]

(1) 为了尽可能避免出现事件表为空的时间轮,以提高模拟速度,在模拟过程的初始阶段求取各器件传输延迟时间的最大公约数 GCD ,并将

GCD 乘以设定的步长作为系统的实际模拟步长,从而在不牺牲模拟精度的情况下减少所需的时间轮数目。

(2) 在根据信号事件表安排器件事件表时,对需要计算的每个器件,首先检查该器件是否已安排到当前时间轮的器件事件表中,对含不止一个电路单元的器件,还要依据器件单元号来判别,这样就保证了在一个时间轮中只对需要计算的器件或器件中的相应逻辑单元计算一次。

5 结束语

该软件已通过鉴定并在部分班级的数字电路实验课程中试用,初步使用结果表明,在数字电路实验时采用 DCLSS 软件与采用传统的数字电路实验装置相比,具有以下优点:

(1) DCLSS 软件中已包含了数字电路实验所需的常用器件,实际使用时还可根据需要随时扩充,故设计实验电路的灵活性很大,且不需要专门的实验装置及仪器。

(2) 采用软件做数字电路实验可以避免采用传统的数字电路实验装置时会出现的一些问题,如连线接触不可靠、接线不正确损坏元器件或实验装置等。

(3) 在电路模拟过程中,可以对电路进行电气规范检查,如带负载能力、约束定条件等,便于及时发现电路中存在的问题并进行改正。

(4) 由于软件中提供波形输出功能,故可以很方便地观察到元件的延迟特性及可能存在的竞争与冒险等现象,而在采用传统的数字电路实验装置时,一般需要通过逻辑分析仪或存储示波器等昂贵的仪器来实现这些功能。

当然,做数字电路实验时仅采用软件也有其不足之处,例如不易建立学生对电路的感性认识及对动手能力的培养、对模拟信号的处理不够灵活、延迟模型不够精确等,因此,可以结合两种方式,发挥各自的优势,以克服数字电路实验中单纯采用传统的电路实验装置的一些不足^[5]。

参考文献:

- [1] 韩丰田. 数字电路实验教学软件 DCLSS 的研究与实现[D]. 北京: 北京航空航天大学, 1996.
- [2] 薛宏熙, 边计年, 苏朋. 数字系统设计自动化[M]. 北京: 清华大学出版社, 1996.

参考文献：

- [3] 贾新章,郝跃,武岳山.电子电路 CAD 技术[M].西安:西安电子科技大学出版社,1994.
- [4] 刘明业.数字系统设计自动化[M].北京:电子工业出版社,1991.
- [5] 师黎,万红,刘瑞兰.虚拟仪器技术在实验室建设中的应用研究[J].郑州工业大学学报,1999,(2):98-99.

Research and Implementation of the Logic Simulation Software for Digital Circuit

HAN Feng - tian¹, LI Yong - gang², XIAO Xian - guo¹

(1. College of Mechanical & Electronic Engineering, Zhengzhou University of Technology, Zhengzhou 450002, China; 2. Department of Materials Science & Engineering, Zhengzhou University of Technology, Zhengzhou 450002, China)

Abstract :The design and implementaion of Windows environment - based digital circuit logic simulation software (DCLSS) are presented in order to be able to conduct experiments of Digital Circuit course in a computer. Graph approach for logic circuit input is adopted by the DCLSS , device model is based on five - value , three - strength and up/down - jump delay model ,simulation algorithm is on table - event method ,time - mapping technique , and hybrid simulation of gate and function block level. The software is capable of simulating circuits combined with combinational circuits , synchronous and asynchronous sequential logic circuits , and some programmable logic devices. The paper has emphasized on the decription of device model and simulation algorithm applied in the software.

Key words :logic simulation ; time - mapping ; device model ; digital circuit