

文章编号:1671-6833(2016)02-0029-04

基于 FPGA 的电能质量监测装置设计

江 政, 周 勇, 陈雪美, 吕娜伟

(郑州大学 电气工程学院, 河南 郑州 450001)

摘 要: 为了提高电能质量监测的精度和速度, 设计了以 FPGA 为处理控制核心的监测装置. 硬件部分主要包括信号采集单元、通信单元、电源单元等. 软件方面, 在 FPGA 上定制了 NIOS II 的嵌入式核心, 优化了数据并行处理流程, 在 FPGA 芯片内构建锁相倍频模块和 FFT 谐波分析算法模块, 实现了对电能质量数据的同步采样和分析. 测试表明, 装置具有响应速度快、测量精度高和实时性能好的特点, 符合国家关于电能质量监测的标准.

关键词: 电能质量; 现场可编程门阵列; 快速傅里叶变换

中图分类号: TM711 **文献标志码:** A **doi:**10.3969/j.issn.1671-6833.201505040

0 引言

近年来, 电网中各种不对称性负荷、冲击性负荷和非线性负荷不断增加, 对电能质量造成不同程度的影响, 这些问题已经引起了供电企业和一些敏感用户的关注, 实时和连续地监测电能质量指标是发现和整治电能质量相关问题的前提条件^[1-3]. 现场可编程门阵列 (field-programmable gate array, FPGA) 作为专用集成电路领域中的一种半定制电路, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数有限的缺点^[4].

从目前已有的基于 FPGA 的电能质量监测装置来看, 文献[5]采用 DSP + FPGA 的设计方案, 结合了两者的优点, 但是结构复杂, 不利于装置功能扩展, 产品更新换代困难. 文献[6]和文献[7]的嵌入式核心分别为 uC/OS 操作系统和 ARM-IP 核, 两者均能协调装置各个单元的运行, 但在 FPGA 中代码的移植和开发过程繁琐, 占用较大片内资源, 开发成本高. 笔者仅用 FPGA 来完成了整个电能质量监测和分析过程, 在 FPGA 中定制 NIOS II 的嵌入式核心, 并给出详细检测结果.

1 监测装置的硬件设计

监测装置主要由信号采集单元、核心处理单元、通信单元、电源单元及人机交互单元构成. 硬

件采用模块化设计方案, 简化了硬件设计和 FPGA 的协调控制, 整体设计如图 1 所示.

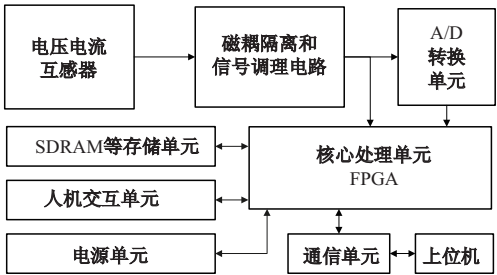


图 1 装置的整体框图

Fig. 1 Diagram of device

1.1 信号采集单元

装置的电压电流转换电路如图 2 所示. 设计中采用了两种电压输入范围, 分别为 100 V 和 250 V, 以适应变电站等的 PT 二次侧电压和普通市电电压测量, 按 1 k Ω /V 的比例外串限流电阻, 调节电位器用来测量校准.

以 R_1 、 R_2 、 R_3 的联接为例, 当 R_2 抽头调节至最左端时, U_{a_100} V + 测量端口串入的电阻为:

$$\frac{R_1 R_3}{R_1 + R_3} = \frac{190 \times 200}{190 + 200} = 97.44(\Omega). \quad (1)$$

当 R_2 抽头调节至最右端时, U_{a_100} V + 测量端口串入的电阻为:

$$\frac{(R_1 + R_2) R_3}{R_1 + R_2 + R_3} = \frac{(190 + 20) \times 200}{190 + 20 + 200} = 102.44(\Omega). \quad (2)$$

收稿日期:2015-05-26; 修订日期:2015-00-00

通讯作者:周勇(195—), 男, 河南信阳人, 郑州大学教授, 研究方向为电能质量分析与控制, E-mail: zhouy@zzu.edu.cn.

引用本文:江政, 周勇, 陈雪美, 等. 基于 FPGA 的电能质量监测装置设计[J]. 郑州大学学报(工学版), 2016, 37(2): 29-32.

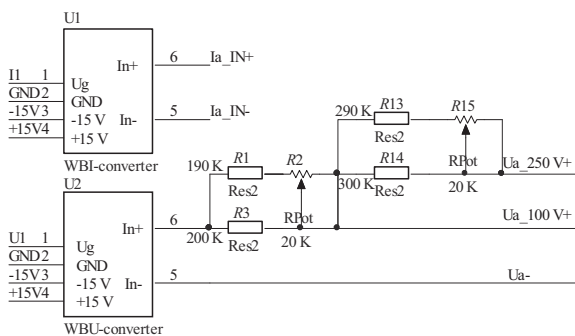


图 2 电压电流传感器应用电路图

Fig. 2 Voltage and current transformer circuit diagram application

由此可知, U_{a_100V+} 测量端口串入的电阻调节范围为 $-2.56\% \sim 2.44\%$. 电压电流传感器的跟踪电压输出范围为交流 $0 \sim 5\text{ V}$.

模数转换器采用了 ADI 公司推出的新一代 16 位、8 通道、同步采样、双极性输入、单电源供电的模数转换器 AD7606^[8]. AD7606 的应用电路如图 3 所示.

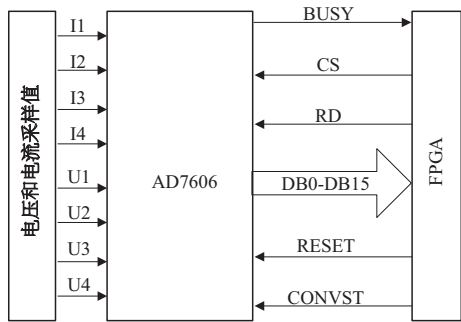


图 3 AD7606 接线图

Fig. 3 AD7606 wiring diagram

CONVST_A 和 CONVST_B 引脚为 AD7606 的采样触发引脚,可分别控制 4 个通道,将其连接在一起,可同时触发 8 个通道进行采样,这样更有利于保证测量精度. 由于 AD7606 的数据读取控制引脚 RD 和片选引脚 CS 分别与 FPGA 芯片的 IO 口相连, AD7606 芯片数据端口都被接到 FPGA 的 IO 上,读数据操作非常方便.

1.2 核心处理单元

核心处理单元主要由 FPGA 内的同步采样模块、NIOS II 核模块、电能质量指标计算和分析模块和数据存储模块,其中同步采样模块由相位选择电路、过零比较电路和锁相倍频电路组成.

装置核心处理单元采用了 Altera 公司的 EP4CE6E22C8N,锁相倍频电路由锁相环和分频电路构成,其作用是在采样时防止发生频谱泄漏

和频率混叠,实现装置同步采样,减小 FFT 算法中的栅栏效应,提高整体的测量和计算精度. NIOS II 核模块协调各个单元和模块之间的配合,完成整个电能质量监测和分析过程.

1.3 通信单元

本装置主要通信方式为 USB 通信,将电能质量指标的分析结果传输到上位机或存储于 U 盘等大容量的存储器中. 笔者选用 CYPRESS 公司的芯片 CY7C68013A,该芯片集成了 USB2.0 收发器、增强的 8051 微控制器、SIE (串行接口引擎) 和可编程的外围接口,具有 12 和 480 Mb/s 两种传输速率,可使用中断传输、控制传输、同步传输和批量传输 4 种 USB 传输方式. USB 通信模块如图 4 所示.

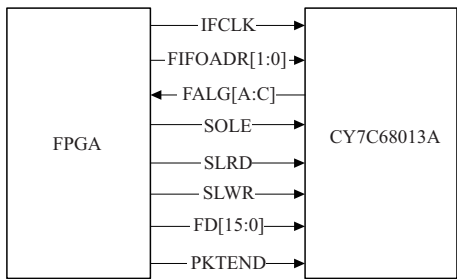


图 4 USB 通信模块

Fig. 4 USB communication module

USB 接口芯片采用了同步 Slave FIFO 方式,即从机方式, CY7C68013A 芯片通过 FD [15:0] 的 16 位双向数据总线与 FPGA 进行连接, FPGA 提供的 25 MHz 外部时钟 IFCLK 的信号,因此其最大传输速度可达 200 Mbps. FIFOADR [1:0] 用于选择 FIFO 的端点缓冲区, FLAGA、FLAGB、FLAGC 分别用作 CY7C68013A 内 FIFO 的标志管脚,反映 FIFO 的当前状态, SLOE 能够使 FD 的输出, SLRD 与 SLWR 分别用作 FIFO 的读写选通信号.

通信单元还包括 RS232 模块和 GPRS 模块, RS232 模块完成数据的串行通信, GPRS 模块实现监测装置数据的远程传输和监控. RS232 模块采用 MAXIM 公司生产的 MAX232 芯片,通信比特率设定为 115.2 kbps.

2 监测装置的软件设计

2.1 嵌入式核心设计

Altera 公司提供的基于 NIOS II 软核的软硬件综和解决方案彻底颠覆了传统的嵌入式系统设计理念^[9]. NIOS II 作为一个处理器的 IP 核,能够将它嵌入 FPGA 芯片中,仅占用内部非常少的逻辑

辑单元,因而开发成本极低.与其他处理器系统类似,NIOS II 拥有自己的指令系统、寄存器组、高速缓存和中断处理系统,而且还拥有自定义指令与硬件加速器. NIOS II 软核的开发是基于 HAL (hardware abstraction layer) 的开发.通过 HAL 能够与底层的硬件驱动连接,因为它是一个内核与硬件电路之间的接口层,HAL 所提供的接口函数可以在 C 语言编程中调用.

FPGA 程序包括同步采样模块、NIOS II 核模块、电能质量指标计算与分析模块和数据存储模块.具体流程如图 5 所示.

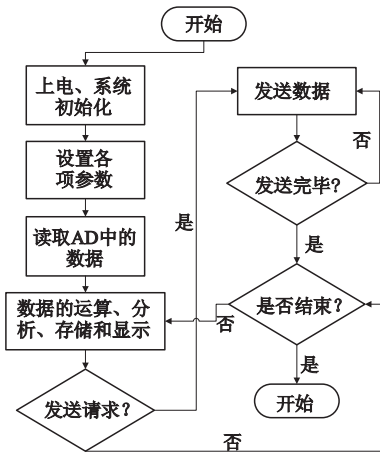


图 5 主程序流程图

Fig. 5 The main program block diagram

装置上电之后,存储芯片里面的数据会自动加载到 FPGA 中,然后在 NIOS II 的控制下对各个部分进行初始化,控制信号采集单元进行电压电流的数据采样,完成电能质量各项指标运算,最后将分析结果进行保存,判断数据是否需要发送和装置是否继续运行.

2.2 FFT 的算法设计

快速傅里叶变换(FFT)是进行谐波分析的关键^[10].单片机和 DSP 芯片都是通过软件编程的方式编写 FFT 算法代码,DSP 至多也是通过芯片内的 MAC 单元进行加速运算,实质上都还属于串行运算,它的算法复杂度是 $O(n\log n)$.然而 FPGA 通过并行的乘加单元进行 FFT,只需要经过 $\log n$ 级的乘加法运算,运算速度相对提高了 n 倍.以 8 个点的 FFT 运算为例,若采用 DSP 芯片或单片机完成的话,要进行 12 次的乘加运算后才能得出计算结果,而通过 FPGA 的并行 FFT 电路实现的话,仅需 3 级乘加法运算,显著地加快了电能质量数据的计算速度.在 FPGA 中利用 Verilog HDL 语言编程实现 FFT 算法,可对输入信号进行快速的谐

波分析,给出它们的幅值与相位.硬件上的并行结构和数据的并行处理流程,使监测装置的性能大大提高,克服了软件串行运行的缺点.

3 测试结果及分析

3.1 频率测量结果

测试数据和绝对误差如表 1 所示,使用泰克 TDS2012C 数字示波器比较频率测量值.表中 f_1 和 f_2 分别为示波器测量值和监测装置测量值.

表 1 频率测量测试表

Tab. 1 Frequency measurement test table

测量参数	第 1 次	第 2 次	第 3 次	第 4 次
f_1/Hz	49.997	49.996	49.998	49.996
f_2/Hz	49.990	49.991	49.994	49.997
绝对误差/Hz	0.007	0.005	0.004	0.001

由表 1 可知,监测装置与泰克示波器的频率测量的最大绝对误差为 0.007 Hz,测量精度满足国家标准^[11]的要求.

3.2 电压有效值测量结果

由于 JCD4046 测试电源的显示精度为三位半,测试以四位半胜利牌 VC86E 电压表的显示作为电压有效值的测量基准,测量结果如表 2 所示.

表 2 三相电压测量测试表

Tab. 2 Three-phase voltage measurement test table

电源电压/V	监测装置测量值/V			相对误差/%		
	A 相	B 相	C 相	A 相	B 相	C 相
120.00	120.15	119.98	120.16	0.13	-0.02	0.13
110.00	110.14	109.94	110.13	0.13	-0.05	0.12
100.00	100.11	99.98	100.08	0.11	-0.02	0.08
90.00	90.05	89.95	90.07	0.06	-0.06	0.08
80.00	80.03	79.88	80.08	0.04	-0.03	0.10
60.00	60.05	60.01	60.03	0.08	0.02	0.05
40.00	40.05	39.96	40.04	0.13	-0.10	0.10
20.00	19.97	19.98	20.03	-0.15	-0.10	0.15

由表 2 可以看出,三相电压的相对测量误差分布在 $-0.15\% \sim 0.15\%$ 之间,测量精度满足国家标准^[12]对 A 级仪表的要求.

3.3 电压谐波测量结果

限于 JCD4060 测试电源输出电压所含谐波分量的设定范围为 2~21 次,因此笔者对电压谐波测量的测试只检测电源输出的 2~21 次谐波分量,基波电压设定为 100 V,参考测量仪器为 Fluke345.测试结果表明,当 U_b (各次谐波电压) $\geq 1\% U_N$ (U_N 为 100 V) 时,最大误差为 $4.7\% U_b$,小于 $5\% U_b$;当 $U_b < 1\% U_N$ 时,最大误差为 0.14%

U_N , 小于 $0.15\% U_N$; 测量精度满足国家标准^[13]对 B 级仪表的要求。

3.4 电压序分量测量结果

根据 JCD4060 测试电源设定三相不对称电压, 可计算出对应的电压序分量(理论计算结果)。检测装置通过 FFT 计算出各相基波分量的幅值和相角, 然后再计算出电压序分量(测试结果)。两者相比, 计算出电压不平衡度的误差分布在 $-0.2\% \sim 0.2\%$ 之间, 满足国家标准^[14]的要求。

4 结论

设计的基于 FPGA 的电网电能质量监测装置, 完成了各部分的硬件设计和软件编程。测试结果表明该装置具有响应速度快、测量精度高、实时性能好和操作简单的特点, 不仅能够满足电能质量监测的要求, 而且整个装置的集成度高, 扩展性强, 降低了硬件对设备升级的限制, 方便以后采用新的算法和模块进行升级和更新, 具有较高的实用价值。

参考文献:

- [1] 储琨, 马建伟. 基于小波变换的电能质量扰动信号的检测[J]. 电力系统保护与控制, 2009, 37(5): 34-36, 64.
- [2] 林海雪. 现代电能质量的基本问题[J]. 电网技术, 2001, 25(10): 5-12.
- [3] 肖湘宁. 电能质量分析与控制[M]. 北京: 中国电力出版社, 2004.
- [4] 赵锋, 马迪铭, 孙炜, 等. FPGA 上嵌入式系统设计实例[M]. 西安: 西安电子科技大学出版社, 2008: 26-28.
- [5] 王平, 高阳, 王林泓, 等. 基于 DSP 与 FPGA 的实时电能质量监测终端系统[J]. 电力系统保护与控制, 2012, 40(12): 125-129.
- [6] 陈宏. 基于 FPGA 的电能质量监测装置的研究[D]. 东北农业大学工程学院, 2010.
- [7] 袁斌, 朱正伟, 孙广辉, 等. 基于 FPGA 的电能质量监测系统[J]. 电源技术, 2014, 38(12): 2436-2437.
- [8] 周勇, 朱明丽, 杜霞, 等. 基于 DSP + GPRS 的远程在线电能质量监测系统[J]. 郑州大学学报(工学版), 2014, 35(5): 23-26.
- [9] Altera Corporation. Nios II 世界上最多功能的嵌入式处理器[DB/OL]. 2008.
- [10] 解蕾, 解大, 张延迟. 新型电能质量表的算法及实现[J]. 电测与仪表, 2008, 45(09): 1-4, 10.
- [11] 国家质量监督检验检疫总局, 国家标准化管理委员会. 电能质量. 电力系统频率偏差: GB/T 15945—2008[S]. 北京: 中国标准出版社, 2008.
- [12] 国家质量监督检验检疫总局, 国家标准化管理委员会. 电能质量. 供电电压偏差: GB/T 12325—2008[S]. 北京: 中国标准出版社, 2008.
- [13] 国家质量监督检验检疫总局, 国家标准化管理委员会. 电能质量. 公用电网谐波: GB/T 14549—1993[S]. 北京: 中国标准出版社, 1993.
- [14] 国家质量监督检验检疫总局, 国家标准化管理委员会. 电能质量. 三相电压不平衡: GB/T 15543—2008[S]. 北京: 中国标准出版社, 2008.

Design of a Power Quality Monitoring Device Based on FPGA

JIANG Zheng, ZHOU Yong, CHEN Xuemei, LU Nawei

(School of Electrical Engineering, Zhengzhou University, Zhengzhou 450001, China)

Abstract: In order to improve accuracy and speed, a power quality monitoring device is designed with field-programmable gate array (FPGA) as the core of processing and controlling. Hardware of the device includes signal acquisition unit, communication unit, power supply unit, etc.. The software includes an NIOS II embedded core with optimized flow of data parallel processing and built-in phase-locked frequency multiplication module and FFT harmonic analysis module for the synchronous sampling and analysis of power quality data. Test results show that the device has advantages of fast response, high accuracy and satisfactory real-time performance, and conforms to the national standards of power quality monitoring.

Key words: power quality; field-programmable gate array (FPGA); fast Fourier transform (FFT)