

文章编号:1671-6833(2008)03-0027-04

一种新颖的高精度片上匹配电阻电路设计

李浩亮, 李常青, 邓记才, 张防震

(郑州大学信息工程学院, 河南 郑州 450001)

摘要: 采用数字化端子控制技术, 基于负反馈动态调整原理和可调多晶硅电阻条, 设计了新颖的、符合高速串行接口 USB2.0 协议要求的高精度片上匹配电阻电路。使用 TSMC 的 CMOS 0.25 μm 混合信号模型, 在 Cadence 软件环境下用 spectre 仿真器模拟, 结果表明在 500 Mbps 的高速时钟信号作用下, 所设计的匹配电阻阻值在 $[44.3 \Omega, 45.6 \Omega]$ 范围内, 最大稳定时间 6 μs , 平均误差为 $\pm 1.45\%$, 所设计电阻平均变化范围为 $45 \times (1 \pm 1.45\%) \Omega$, 最大误差范围 1.56%, 达到并高于 $45 \times (1 \pm 10\%) \Omega$ 的高速串行接口协议要求。

关键词: 高速串行接口; 高精度; 片上匹配电阻; 负反馈

中图分类号: TN 401 **文献标识码:** A

0 引言

在高速串行通信接口芯片中, 接收器为匹配发送器经电缆传输过来的差分电信号, 要求集成高精度片上匹配电阻^[1]。根据传输线理论, 高精度片上匹配电阻用来匹配传输线特征阻抗, 以防止高速差分电信号在传输线中来回反射^[2]。高速串行接口电路协议要求片上匹配电阻阻值在 $45 \times (1 \pm 10\%) \Omega$ 的范围内^[3]。

CMOS 集成电路工艺中制备电阻有多种方法, 总体上可分为无源器件和有源器件两大类。用无源器件制备的电阻具有良好的线性度, 对温度变化不敏感, 但误差大, 如多晶硅电阻条的误差就达 $\pm 30\%$ 。若采用激光修整技术, 则存在耗时长和花费大的问题^[4]。用有源器件制备电阻的基本原理是采用工作于线性区的 MOS 管来实现。NMOS 线性直流电阻表达式可写为^[5]:

$$R_{on} \approx \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (1)$$

式中: R_{on} 为 NMOS 管实现的有源电阻; μ_n 为载流子迁移率; C_{ox} 为单位面积的栅氧化层电容; W/L 为 NMOS 管的宽长比; V_{GS} 、 V_{TH} 分别为 NMOS 管栅源之间所加的可变电源和其阈值电压。适当设计 NMOS 管的宽长比, 使其工作在深线性区, 通过调节栅源间可变电源 V_{GS} 大小, 理论上可使 MOS 管

有源电阻达到 45Ω 。但由于 μ_n 是温度的函数, C_{ox} 、 W/L 也会随着工艺误差等因素的变化而变化, 为使 MOS 管阻值到恒定的 45Ω , $(V_{GS} - V_{TH})$ 的值必须随温度和工艺的变化而不断进行调节。在高速串行信号传输中, 一般采用电流模式^[6-7], 假设电平幅值为 400 mV, 则用 NMOS 管实现的片上匹配电阻电路结构如图 1 所示。

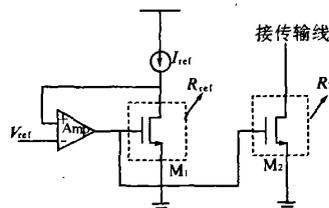


图 1 用 NMOS 管实现的匹配电阻电路结构
Fig. 1 Structure of matching resistor in NMOS

图 1 中, 参考电压 V_{ref} 为 400 mV, I_{ref} 为 8.89 mA。适当设计 M_1 的宽长比, 使 M_1 工作在深线性区, 运算放大器 Amp 与 MOS 管 M_1 接成负反馈的形式, 则 M_1 中沟道流过的电流为 I_{ref} , M_1 沟道电阻值 $R_{ref} = V_{ref}/I_{ref} = 400 \text{ mV}/8.89 \text{ mA} = 45 \Omega$ 。

图 1 右侧接传输线的 MOS 管 M_2 与 M_1 具有相同的结构、尺寸和栅源电压, 并且在版图安排上也具有良好的对称性, 因此其阻值 $R_2 \approx R_{ref} = 45 \Omega$ 。约等号是因为 M_2 沟道两端的实际电压值

收稿日期: 2008-03-14; 修订日期: 2008-05-11

基金项目: 国家自然科学基金资助项目 (60678045)

作者简介: 李浩亮 (1978-), 男, 河南南阳人, 郑州大学讲师, 博士, 主要从事数模混和电路设计, E-mail: ichlli@zhu.edu.cn.

为 0 ~ 400 mV, 而 M_1 沟道两端为固定的 400 mV 电压. 当 M_2 沟道两端电压从 0 伏到 400 mV 变化过程中, 其电阻并不是完全线性的, 再加上参考电阻本身的误差, M_2 电阻不能满足高速串行接口协议要求. 因此直接使用 MOS 管制作的有源电阻对温度、工艺因素和实际电压波动具有强的敏感性, 不适用于制作高精度片上匹配电阻.

为克服无源器件和有源器件制备高精度片上匹配电阻时存在的缺点, 笔者采用数字化端子控制技术, 并基于负反馈动态调整原理, 设计了新颖的基于可调多晶硅电阻条的高精度片上匹配电阻电路.

1 基于可调多晶硅电阻条的高精度片上电阻电路

图 2 是笔者设计的高精度片上匹配电阻电路总体框架图. 电路由主体和辅助两部分组成: 主体部分由参考电流源 I_{ref} 、参考电阻基本结构单元 R_{ref} 、匹配电阻基本结构单元 R_T 组成.

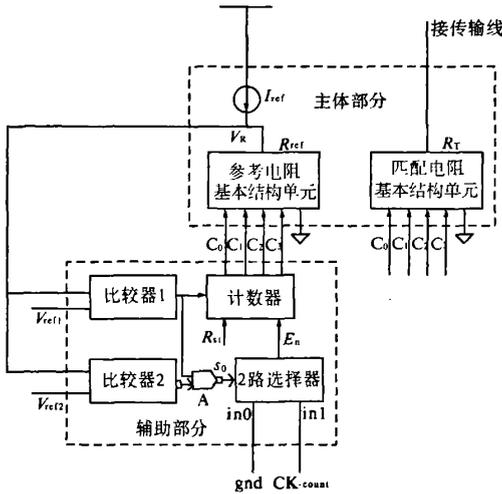


图 2 高精度片上电阻总体框架图

Fig.2 Framework of on-chip resistor

其中 R_T 接传输线, 是需要精确控制的目标电阻; 辅助部分由比较器 (1, 2)、计数器、双路选择器及与非门 A 组成. R_{ref} 接受计数器的输出控制信号 $C_0 \sim C_3$, 进行电阻值调整, 其端电压 V_R (参考电压) 同时进入比较器 1 和比较器 2 的输入正极, 并分别与接在比较器输入负极上的电压值 V_{ref1} 、 V_{ref2} 比较, V_R 与 V_{ref1} 比较后的输出值传输至计数器和与非门 A, V_R 与 V_{ref2} 比较后的输出值反相后传至与非门 A. A 的输出 s_0 控制双路选择器对输入信号“gnd、CK_count”的选择, 输出 E_n 传输至计数器, 作为计数器的使能信号.

图 2 中参考电阻基本结构单元 R_{ref} 的组成结构图如图 3 所示, 参考电阻基本结构单元 R_{ref} 由 32 根相同的多晶硅电阻条经相应 NMOS 管并联在一起, 其中 $R_{15} \sim R_{31}$ 共 17 根电阻条对应的 NMOS 管 (M_{15} 到 M_{31}) 栅极直接连在高电平 V_{cc} 上; 电阻条 $R_0 \sim R_{14}$ 所对应 NMOS 管的栅极则由数据线控制端子 C_0 、 C_1 、 C_2 和 C_3 (见图 2) 控制其对电源 V_{cc} 连接或断开. 预先固定一部分 (M_{15} 到 M_{31}) 的目的是缩小调节范围, 提高调节精度. 假设 32 根电阻条每根的阻值都为 R_0 , 由于在同块芯片上, 版图中电阻条对称分布, 因此 32 根电阻条同时同方向产生偏差, 这里假设每根电阻条实际值均为 $R_0 \pm 30\% R_0$. 令当 24 根电阻条同时并联时, 即二进制控制线对应的 $C_3 C_2 C_1 C_0 = 0111$ 时, 标称输出电阻值为 45 Ω , 即由多晶硅电阻条组成的参考电阻 $R_{ref} = R_0/24 = 45 \Omega$, 得 $R_0 = 1080 \Omega$, 因此应把每根电阻条与 NMOS 管的串联阻值设计为 1080 Ω . 每根电阻条支路可能的实际阻值范围为 ($R_0 - 30\% R_0, R_0 + 30\% R_0$), 代入 R_0 , 得每根电阻条的阻值范围为 (756 $\Omega, 1404 \Omega$). 考虑两种极端情况: 分别令每根电阻条支路的阻值为 756 Ω 及 1404 Ω . 当每根电阻条支路阻值为 756 Ω 时, 要使整个参考电阻 R_{ref} 达到 45 Ω 的电阻值, 需要导通电阻条支路的个数 $n = 756/45 = 16.8$, 取 $n = 17$, 对应的控制线为 $C_3 C_2 C_1 C_0 = 0000$; 另一种极端情况, 当每根电阻条支路阻值为 1404 Ω 时, 要达到 45 Ω 电阻值, 需要导通的电阻条支路的数目 $n = 1404/75 = 31.2$, 取 $n = 31$, 对应的控制线为 $C_3 C_2 C_1 C_0 = 1110$.

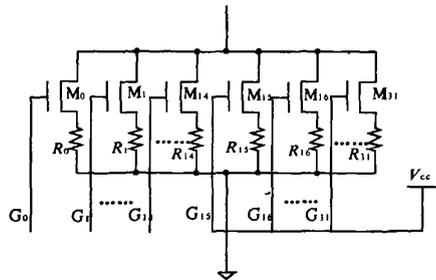


图 3 参考电阻 R_{ref} 单元结构图

Fig.3 Structure of R_{ref} cell

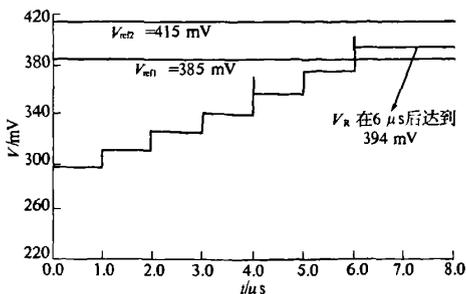
因此, 电阻条支路的阻值范围内 (756 $\Omega, 1404 \Omega$) 对应的二进制控制线值的调节范围为 (0000, 1110). 对应于图 2, 将参考电流 I_{ref} 设计为 8.89 mA. 计数器上电时, “ R_n ” 把输出 $C_3 C_2 C_1 C_0$ 置为 1000, 设计时, 令 V_{ref1} 稍小于 V_{ref2} . 当 V_R 小于 V_{ref1} 时, 同时 V 必小于 V_{ref2} , 比较器 1 的输出为

“0”，比较器 2 的输出为“1”，2 路选择器的输入 s_0 为“1”，这里选通时钟 CK_{count} 作为计数器的工作时钟，计数器正常工作，此时计数器的输入为“0”，计数器的输出将减去“1”，于是导通的电阻条支路将会减少 1 个，总电阻增大，于是 V_R 将上升，若上升后的 V_R 依然小于 V_{ref1} ，那么此过程一直持续，直到 V_R 大于 V_{ref1} 。

设计 V_{ref1} 与 V_{ref2} 的值，使得 V_R 从小于 V_{ref1} 跳变到大于 V_{ref1} 时，总小于 V_{ref2} 。此时 V_R 大于 V_{ref1} ，但小于 V_{ref2} ，那么比较器 1 的输出为“1”，比较器 2 的输出也为“1”，2 路选择器的输入 s_0 为“0”，选通时钟 gnd 作为计数器的工作时钟，由于计数器是在其时钟 CK_{count} 上跳沿进行计数，因此当计数器的时钟端接地后，计数器锁存其输出，而与其输入无关。因此，当 V_R 跳变到大于 V_{ref1} 且小于 V_{ref2} 时，计数器不工作，电阻条支路导通的数目将保持不变，此时电阻值将稳定在窗口范围 $[V_{ref1}, V_{ref2}]$ 之内。

对 V_{ref1} 与 V_{ref2} 的值的另一个约束条件是，当 V_R 从大于 V_{ref2} 跳变到小于 V_{ref2} 时，总大于 V_{ref1} ，这样可保证跳变后的值仍然落在窗口之内，避免不必要的动态调整。若开始上电时， V_R 初始值大于 V_{ref2} ，同时必大于 V_{ref1} ，此时比较器 1 的输出为“1”，比较器 2 的输出为“0”，2 路选择器的输入 s_0 为“1”，选通时钟 CK_{count} 作为计数器的工作时钟，计数器正常工作，此时计数器的输入为“1”，计数器的输出将加上“1”，于是导通的电阻条支路将会增加 1 个，总电阻减小，于是 V_R 将下降，若下降后的 V_R 依然大于 V_{ref2} ，那么这个过程一直持续，直到 V_R 小于 V_{ref2} 为止。

由 V_{ref1} 与 V_{ref2} 值的两个约束条件，设计其值分别为 385 mV、415 mV。



(a) 电阻条支路取 756 Ω

2 仿真结果

使用 TSMC 的 CMOS 0.25 μm 混合信号模型，在 Cadence 软件环境下用 spectre 仿真器对本文设计的高精度片上电阻电路进行仿真。在图 2 中，设计 I_{ref} 为 8.89 mA。观察电阻两端电压 V_R ，即可计算得出高精度片上参考电阻阻值为 $[V_R (mV)/I_{ref}(mA)] \Omega$ 。当多晶硅电阻条支路取理想情况 1 080 Ω 时，图 4 给出了参考电阻 R_{ref} 两端电压 V_R 的仿真结果曲线图。可以看出， V_R 迅速达到 400 mV。对应参考电阻阻值迅速稳定于 $[V_R (mV)/I_{ref}(mA)] = 400/8.89 \approx 45 \Omega$ 。

令多晶硅电阻条由于温度偏差或工艺误差而在 ±30% 范围内变化，即 $[1\ 080 - 1\ 080 \times 30\%, 1\ 080 + 1\ 080 \times 30\%] = [756 \Omega, 1\ 404 \Omega]$ ，这里取上、下两种极端情况，令每个多晶硅电阻条支路分别取 756 Ω 和 1 404 Ω 时，观察高精度片上参考电阻的两端电压 V_R ，得出其变化曲线如图 5 (a)、(b)。

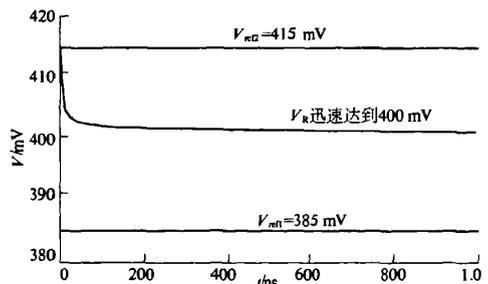
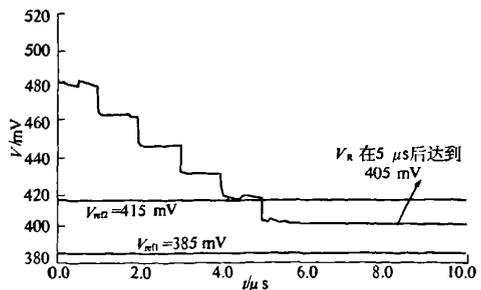


图 4 电阻条支路取理想情况 1 080 Ω 时参考电阻两端电压曲线图

Fig. 4 V_R with sub-branch resistor in ideal instance (1 080 Ω)



(b) 电阻条支路取 1 404 Ω

图 5 两种极端情况下参考电阻两端电压曲线图

Fig. 5 V_R with sub-branch resistor in two uttermost instances

图5(a)表明,当多晶硅电阻条阻值取 $756\ \Omega$ 时, V_R 在经过 $6\ \mu\text{s}$ 动态调整后,稳定在 $394\ \text{mV}$,对应电阻阻值为 $[V_R(\text{mV})/I_{\text{ref}}(\text{mA})]=394/8.89\approx 44.3\ \Omega$ 。图5(b)表明,当多晶硅电阻条阻值取为 $1\ 404\ \Omega$ 时, V_R 在经过 $5\ \mu\text{s}$ 的动态调整后,稳定在 $405\ \text{mV}$,对应电阻阻值为 $[V_R(\text{mV})/I_{\text{ref}}(\text{mA})]=405/8.89\approx 45.6\ \Omega$ 。

总之,当多晶硅电阻在 $(-30\% \sim +30\%)$ 范围

内变化时,参考电阻 R_{ref} 两端电压 V_R 经过若干次动态调整,使得本匹配电阻阻值可保持在 $[44.3\ \Omega, 45.6\ \Omega]$ 范围内,最大稳定时间为 $6\ \mu\text{s}$,两种极端情况下的误差分别为 $(45 - 44.3)/45 = 1.56\%$, $(45.6 - 45)/45 = 1.33\%$,平均误差为 $\pm 1.45\%$,所设计电阻变化范围平均为 $45 \times (1 \pm 1.45\%) \Omega$ 。表1给出了当多晶硅电阻条在 -30% 、 $+30\%$ 两种极限情况下片上匹配电阻的各参数值。

表1 多晶硅电阻条在 -30% 、 $+30\%$ 两种极限情况下片上匹配电阻参数值

Tab. 1 Parameters of on-chip matching resistor in uttermost instances (poly: $\pm 30\%$)

多晶硅电阻条极限取值 (-30% , $+30\%$)	参考电阻两端 电压 V_R/mV	高精度片上 电阻阻值/ Ω	最大(极限) 误差/ $\%$	稳定 时间/ μs	平均稳定 时间/ μs	电阻阻值变化范围 (平均误差)
$756\ \Omega(-30\%)$	394	44.3	1.56	6	5.5	$45 \times (1 \pm 1.45\%) \Omega$
$1\ 404\ \Omega(+30\%)$	405	45.6	1.33	5	5.5	$45 \times (1 \pm 1.45\%) \Omega$

3 结论

笔者设计了新颖的高精度片上匹配电阻,电路可由数字控制端子在高速时钟信号作用下动态调整多晶硅电阻条导通的数目,以得到所需高精度片上匹配电阻阻值。基于TSMC(Taiwan Semiconductor Manufacturing Company Ltd)的CMOS $0.25\ \mu\text{m}$ 混合信号模型,在Cadence软件环境下用spectre仿真器模拟,结果表明在 $500\ \text{Mbps}$ 的高速时钟信号作用下,所设计的匹配电阻阻值在 $[44.3\ \Omega, 45.6\ \Omega]$ 范围内,最大稳定时间为 $6\ \mu\text{s}$,平均稳定时间 $5.5\ \mu\text{s}$,平均误差为 $\pm 1.45\%$,高精度片上匹配电阻变化平均范围为 $45 \times (1 \pm 1.45\%) \Omega$,最大误差 1.56% ,达到并高于 $45 \times (1 \pm 10\%) \Omega$ 的USB2.0高速串行接口协议要求。

参考文献:

[1] JOHNSON H, GRAHAM M. High-speed digital de-

sign [M]. 沈立,朱来文,译.北京:电子工业出版社,2004:20-25.

[2] HALL S, HALL G. High-speed digital system design [M]. 伍微,译.北京:机械工业出版社,2005:41-50.

[3] USB2.0 Specification Rev 2.0 USB Implementer's Forum[S], 2000.

[4] GRAY P, HURST P, LEWIS S, et al. Analysis and design of analog integrated circuits [M]. New York: John Wiley & Sons Inc, 2001: 105-112.

[5] RAZAVI B. Design of analog CMOS integrated circuits [M]. New York: McGraw-Hill Companies Inc, 2001: 15-19.

[6] 方舒燕,陈新军. USB通信驱动程序设计[J]. 郑州大学学报:工学版,2005,26(1):100-103.

[7] FEI Y. Low-voltage CMOS current-mode preamplifier: analysis and design [J]. Circuits and Systems I, 2006, (53):26-39.

A Novel High-precision Termination Resistor Circuit on Chip

LI Hao-ying, LI Chang-qing, DENG Ji-cai, ZHANG Fang-zhen

(School of Information & Engineering, Zhengzhou University, Zhengzhou 450001, China)

Abstract: A novel high-precision termination resistor circuit on chip in agreement with high-speed serial link was proposed. Based on negative-feedback dynamic adjustment and digital-based analog circuit-design technology, this paper brings forward an active high-precision termination resistor circuit on chip topology based upon adjustable polycrystalline-silicon resistance branches. Using Cadence's SPECTRE software and TSMC's library of $0.25\ \mu\text{m}$ mixed-signal CMOS-model, the simulation results revealed that the value of termination resistor in this paper ranged within $[44.3\ \Omega, 45.6\ \Omega]$, meanwhile the maximum time leveling off is less than $6\ \mu\text{s}$, the average error is $\pm 1.45\%$, maximum error range within 1.56% , and it can meet the protocol requirement of $45 \times (1 \pm 10\%) \Omega$.

Key words: high-speed serial link; high-precision; on-chip termination resistor; negative-feedback adjustment