

文章编号:1671-6833(2009)04-0116-04

基于数字化技术的高速串行接收器设计

李浩亮, 贾 恒, 李常青, 张防震

(郑州大学 信息工程学院, 河南 郑州 450001)

摘 要: 基于数字化模拟电路设计技术和自适应动态反馈方法设计了一个高速串行接收器, 包含采样放大器、时钟发生电路、匹配电阻电路. 后两者的精度直接决定了接收器性能. 采用 TSMC 的 CMOS 0.25 μm 混合信号模型, 在 Cadence 软件环境下用 spectre 仿真器进行模拟. 结果表明, 时钟发生电路输出的五相时钟间隔 0.416 ns, 抖动 35 ps, 锁定时间 1.8 μs ; 匹配电阻阻值波动在 44.3 ~ 45.6 Ω , 稳定时间 6 μs , 平均误差 $\pm 1.45\%$, 最大误差 1.56%. 联调后整个接收器电路具有接收 480 Mbps 高速串行数据的能力.

关键词: 高速串行接口; 接收器; 高精度片上匹配电阻; 时钟发生电路

中图分类号: TN 401 文献标识码: A

0 引言

接收器电路是高速串行接口电路如 USB2.0, IEEE1394 等的主要模块^[1]. 如图 1 示, 接收器及数据恢复电路为了采样和匹配发送器经电缆传输过来的高速串行差分电信号, 要求集成多相时钟 $\text{ck}0 \sim \text{ck}4$ 和片上匹配电阻 R_1 、 R_2 ^[2]. 多相时钟用于采样高速差分数据, 匹配电阻用于匹配传输线特征阻抗, 防止电信号在传输线中反射^[3]. 多相时钟发生电路、匹配电阻电路的精度直接决定接收器性能.

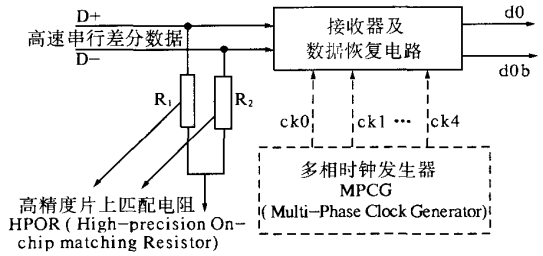


图 1 高速串行接收器
Fig. 1 High-speed serial link receiver

1 基于 DLL 的多相时钟发生电路

时钟发生器采用“PLL + DLL”架构. 晶振及发生电路产生 20 MHz 时钟信号“A”, “A”进入

PLL 倍频得到 480 MHz 时钟信号“B”, “B”经过 DLL 多相分割得到一个周期内 (2.08 ns) 等间距延时的五相时钟信号“C、D、E、F、G”, 如图 2 示.

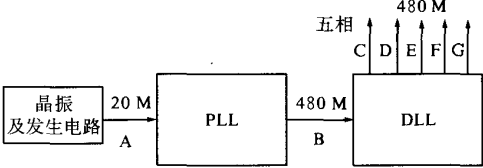


图 2 五相时钟发生电路总体架构图
Fig. 2 Block diagram of 5-phase clock generation

PLL 设计框图如图 3 示, 由鉴频鉴相器、电荷泵、低通滤波器、压控振荡器、分频器组成.

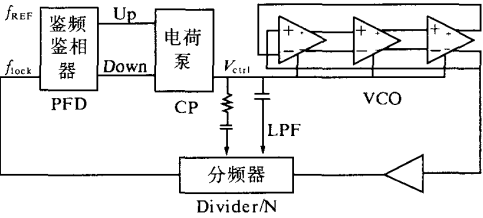


图 3 PLL 组成框图
Fig. 3 Block diagram of PLL

PFD 检测参考时钟 f_{REF} 和反馈时钟 f_{LOCK} 间相位关系, 并相应输出“Up”或“Down”脉冲电平到 CP, CP 和 LPF 把 PFD 输出的脉冲转化为低频直

收稿日期: 2009-05-01; 修订日期: 2009-07-28
基金项目: 国家自然科学基金资助项目 (60678045)
作者简介: 李浩亮 (1978-), 男, 河南南阳人, 郑州大学副教授, 博士, 主要从事数模混和电路设计, E-mail: iehlli@zzu.edu.cn

流控制电平 V_{ctrl} , 以控制 VCO 的振荡频率. 当“Up”为高“Down”为低时, CP 和 LPF 对后面滤波器电容充电使 V_{ctrl} 升高、VCO 的振荡频率升高, 从而减小 f_{REF} 和 f_{lock} 间相位差; 反之, V_{ctrl} 降低, VCO 振荡频率下降, 同样可减小 f_{REF} 和 f_{lock} 间相位差.

图4中的高速电荷泵电路输入为“Down、Down_、Up、Up_”; 输出为“lpf”. 当“Up”为高时, 电路通过“lpf”对后面的电容充电, 从而使 VCO 的控制电压升高; 当“Down”为高时, 电路通过“lpf”对后面的电容放电, 从而使 VCO 的控制电压降低; “Up”和“Down”为高的时间长度就是充放电的时间长度.

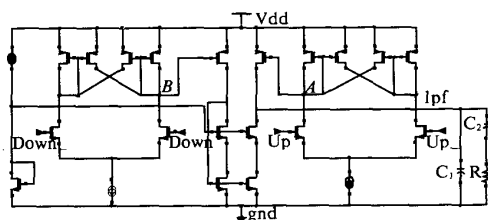


图4 电荷泵和低通滤波器

Fig. 4 Charge-pump and LPF

低通滤波器的设计原则是平衡“低通带宽”、“锁定时间”、“jitter”三者之间关系, 滤波器的设计需多次修改并调整参数^[4]. 图4右下方电阻R可在传递函数中增加一个零点, 以稳定系统, 电容 C_1 则用于滤除输出信号波动. 本设计取低通滤波器带宽 2.8 MHz, 相位余量 65° , 经计算和仿真得到 $C_2 = 31.2$ pf; $C_1 = 3.32$ pf; $R = 11.1$ k Ω .

环形振荡器最适合 CMOS 技术集成实现, 一般由 3 个全差分延迟单元构成^[5], 滤波器输出控制电压直接加至 VCO, 同时 PFD 产生的噪声很容易传到 VCO 而引起输出频率的不期望抖动; 而且由于控制电压在上电初期从零开始逐渐增加, 只有当控制电压值增加到 n 管的开启电压后, VCO 电路才开始振荡, 很容易产生控制死区. 图5给出了设计的改进环形压控振荡器.

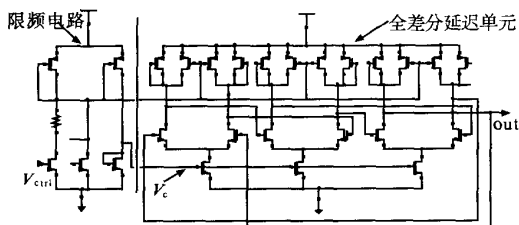


图5 压控振荡器(VCO)

Fig. 5 Voltage-controlled oscillator

在全差分延迟单元的前面增加了一级限频电路: 一是限制振荡频率的范围, 二是使 VCO 即使是在输入控制电压为零的时候也能振荡. 从滤波器中输出的控制信号 V_{ctrl} 经过限频电路来控制 V_c 的变化, 设计使限频电路的输出在 1 ~ 2 V 之间, VCO 的输出频率可以在 450 ~ 520 MHz 之间, 这样既解决了上电初期 VCO 不起振的问题, 缩短了 VCO 的锁定时间, 又隔断了 PFD 噪声对压控振荡器的影响, 从而减小输出时钟频率抖动.

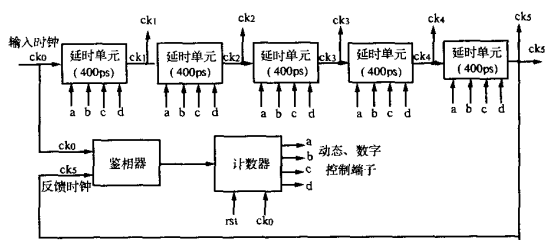


图6 DLL 总体架构图

Fig. 6 Block diagram of DLL

图6给出了本文设计的 DLL, 由 5 个设计值为 400 ps 的“延时单元”、1 个“鉴相器”和 1 个“计数器”组成负反馈系统. PLL 产生的 $ck0$ (480 Mbps) 经由图6中 5 个相同的“延时单元”后逐级产生分别延迟 400 ps 的时钟信号: $ck1 \sim ck5$. “计数器”输出四位动态、数字信号“a、b、c、d”, 作为 5 个“延时单元”的控制端子, 动态调整“延时单元”的延时值. 在设计中“延时单元”、“鉴相器”、“计数器”均采用纯数字电路构建. 具有更好的可控性和抗噪声性能. “鉴相器”比较输出时钟 (即反馈时钟 $ck5$) 和输入时钟 ($ck0$) 的相位, 判断 $ck5$ 超前还是落后 $ck0$. 如果 $ck5$ 落后 $ck0$, 说明“延时单元”延迟时间过长, “鉴相器”应输出“1”信号, 告诉计数器加“1”以缩短“延时单元”延时, 使得反馈信号和输入时钟信号同步; 如果 $ck5$ 超前 $ck0$, “鉴相器”应输出“0”以延长“延时单元”延时, 这样使 $ck5$ 和 $ck0$ 同步. 以此通过闭环负反馈环得到等间隔的五相时钟. 鉴相器的设计速度越快越好, 速度愈快, 反馈环的稳定建立时间就愈短.

由于“延时单元”本身电路结构并不能精确、稳定保证 400 ps 的延时, 我们可通过改变数字控制端“a、b、c、d”为“1”或为“0”来动态调整其延时值以无限逼近精确的 400 ps. 数字信号“a、b、c、d”由“鉴相器”和“计数器”产生. “计数器”将“鉴相器”输出值 (‘0’或‘1’) 在每个时钟周期内转换为

“延时单元”所需要数字控制端“a,b,c,d”值(从“0,0,0,0”到“1,1,1,1”).如当ck'为1,输出为(a,b,c,d)=(1,0,1,1).这里,设计时默认a,b,c,d初始值为“1,0,1,0”时,“延时单元”延迟400 ps.计数器可经Verilog设计和综合后产生.使用TSMC的CMOS 0.25 μm 混合信号模型,在Cadence环境下用spectre将PLL、DLL联调,后仿真时间6 μs ,对局部的电路工作情况分析,得到图7中的五路DLL输出,可看出五相时钟的周期均为2.08 ns,五相时钟相互间的时间间隔为0.416 ns,时钟抖动(jitter)为35 ps.

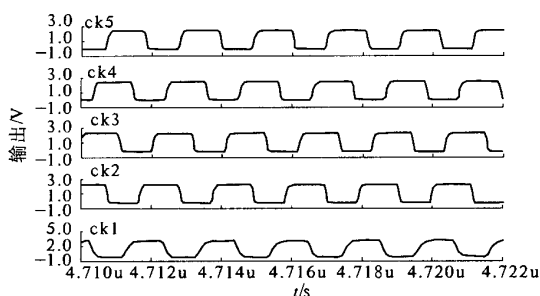


图7 5路DLL输出(五相时钟)

Fig. 7 Output of 5-phase DLL

2 基于可调多晶硅电阻条的高精度片上电阻

图8是高精度片上匹配电阻电路总体框架图.整体电阻电路由“主体”、“辅助”组成. R_{ref} 接受计数器的输出控制信号 $C_0 \sim C_3$,进行电阻值调整,其端电压 V_R (参考电压)同时进入比较器a和比较器b的输入正极,并分别与接在比较器负极上的电压 V_{ref1} 、 V_{ref2} 进行比较, V_R 与 V_{ref1} 比较后的输出值传输至计数器和与非门A, V_R 与 V_{ref2} 比较后的输出值反相后传至与非门A.A的输出S0控制双路选择器对输入信号“ g_{nd} 、 CK_{count} ”的选择,输出 E_n 传输至计数器,作为计数器的使能信号.比较器a的输出直接控制计数器的加减,比较器b的输出协助比较器a控制计数器是否进行计数.图中 $I_{\text{ref}} = 8.89 \text{ mA}$, $V_{\text{ref1}} = 385 \text{ mV}$, $V_{\text{ref2}} = 415 \text{ mV}$.参考电阻结构单元由32条多晶硅电阻并联,令电阻条标准阻值为 R_0 ,版图中电阻条对称分布,因此所有32根电阻条同时同方向产生偏差.设每根电阻条实际值为 $R_0 \pm 30\% R_0$.则当且仅当24根电阻条同时并联(即控制线对应的 $C_3 C_2 C_1 C_0 = 0111$)时,输出电阻值为45 Ω .由 R_{ref}

$= R_0/24 = 45 \Omega$,得 $R_0 = 1080 \Omega$,因此应把每根电阻条与NMOS管的串联阻值设计为1080 Ω .实际中每根电阻条支路可能的阻值范围为 $(R_0 - 30\% R_0, R_0 + 30\% R_0)$,代入 R_0 ,得每根电阻条的阻值范围为 $[756 \Omega, 1404 \Omega]$.

对应这两种极端情况:分别令每根电阻条支路的阻值为756 Ω 及1404 Ω :①当每根电阻条支路阻值为756 Ω 时,要使 R_{ref} 达到45 Ω ,需导通电阻条支路 $n = 756/45 = 16.8$,取 $n = 17$,对应的控制线为 $C_3 C_2 C_1 C_0 = 0000$;②当每根电阻条支路阻值为1404 Ω 时,要使 R_{ref} 达到45 Ω ,需导通电阻条支路数 $n = 1404/75 = 31.2$,取 $n = 31$,对应的控制线为 $C_3 C_2 C_1 C_0 = 1110$. V_{ref1} 与 V_{ref2} 界定了一个“窗口”:窗口内,计数器不工作,电阻值保持恒定;窗口外,计数器模块调整导通的多晶硅电阻条数目,因此可防止过频繁的动态负反馈调整.

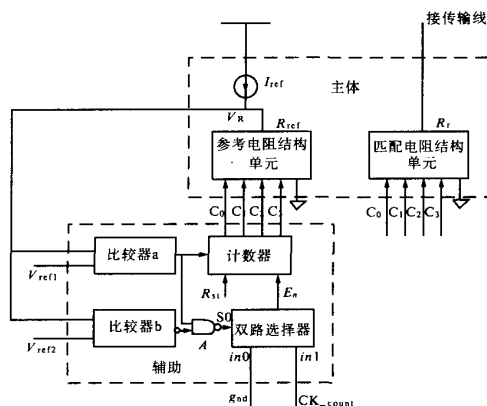


图8 高精度片上电阻总体框架图

Fig. 8 Block diagram of On-chip resistor

计数器一旦上电,“ R_{st} ”把输出 $C_3 C_2 C_1 C_0$ 预置为1000.有3种情况:① V_R 小于 V_{ref1} ,则 V_R 必小于 V_{ref2} ,比较器a输出“0”,比较器b输出“1”,双路选择器的输入S0为“1”,选通时钟 CK_{count} 作为计数器的工作时钟,计数器正常工作,输入为“0”,计数器的输出将减去“1”,于是导通的电阻条支路将会减少1个,总电阻增大,于是 V_R 将上升,若上升后的 V_R 依然小于 V_{ref1} ,那么此过程一直持续,直到 V_R 大于 V_{ref1} ;② V_R 大于 V_{ref1} 且小于 V_{ref2} ,比较器a的输出“1”,比较器b输出也为“1”,双路选择器的输入S0为“0”,选通时钟 g_{nd} 作为计数器的工作时钟,则计数器锁存其输出,而与其输入无关(计数器在时钟 CK_{count} 上跳沿进行计数).计数器不工作,电阻条支路导通数目保持不变,电阻值稳定在 $[V_{\text{ref1}}, V_{\text{ref2}}]$;③ V_R 大于 V_{ref2} ,

比较器 a 的输出“1”,比较器 b 输出“0”,双路选择器的输入 S0 为“1”,选通时钟 CK_{count} 作为计数器的时钟,其输出将自增“1”,于是导通的电阻条支路增加 1 个,总电阻减小,导致 V_R 下降,若下降后的 V_R 依然大于 V_{ref2} ,则此过程继续,直到 V_R 小于 V_{ref2} .

使用和 DLL 同样的模型和软件对整个接收器(包含多相时钟、片上电阻)进行仿真,得到图 9d(db)、q(qb)和 ck 分别为原始输入数据、采样得到的差分数据和采样时钟,可以看出数据被准确地采样和接收。

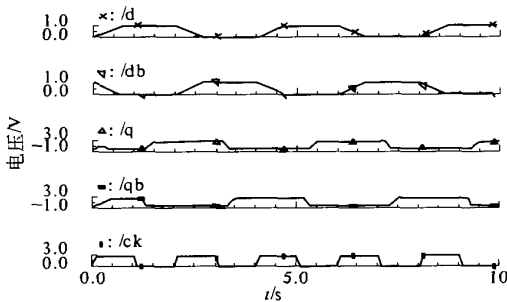


图9 接收器完整输出波形

Fig. 9 Integrated output of the receiver

3 结论

使用数字化模拟电路设计技术和自适应动态反馈方法,设计了满足 USB2.0 高速串行通信接口协议要求的高精度片上时钟和匹配电阻电路。基

于 TSMC 的 CMOS 0.25 μm 混合信号模型,在 Cadence 环境下用 spectre 仿真器模拟,结果表明所设计的时钟发生电路输出的五相时钟周期均为 2.08 ns(频率 480 Mbps),相互间隔 0.416 ns,抖动 35 ps,锁定时间 1.8 μs ;匹配电阻阻值范围为 $[44.3 \Omega, 45.6 \Omega]$,最大稳定时间 6 μs ,平均误差 $\pm 1.45\%$,最大误差 1.56%。整合了片上时钟和片上电阻的接收器电路具有接收发送器经电缆传送过来的 480 Mbps 差分数据的能力。

参考文献:

- [1] KIM J K, KIM J, KIM G, et al. A fully integrated 0.13- μm CMOS 40-Gb/s serial link transceiver [J]. Solid-State Circuits, 2009, 44 (5): 1510 - 1521.
- [2] GERFERS F, DEN BESTEN G W. A 0.2 - 2 Gb/s 6x OSR receiver using a digitally self-Adaptive equalizer [J]. Solid-State Circuits, 2008, 43 (6): 1436 - 1448.
- [3] GERFERS F, DEN BESTEN G W, PETKOV P V, et al. A 1-V 5-GHz CMOS multiple magnetic feedback receiver front-end [J]. Microwave Theory and Techniques, 2008, 56(6): 1338 - 1348.
- [4] 邓跃红, 聂双双. 基于小波变换的水下超声波测距方法研究[J]. 郑州大学:工学版, 2007, 28 (4): 75 - 79.
- [5] GRAY P, HURST P, LEWIS S, et al. Analysis and design of analog integrated circuits [M]. New York: John Wiley & Sons Inc, 2001: 216 - 229.

Digital-based High Speed Serial Link Receiver

LI Hao - liang, JIA Heng, LI Chang - qing, ZHANG Fang - zhen

(School of Information Engineering, ZhengZhou University, Zhengzhou 450001, China)

Abstract: The receiver is central module in serial link. Involved in digital-based analog circuit-design technology and negative-feedback dynamic adjustment method, this paper brings forward a high speed serial receiver, which consists of sampling-amplifier, clock-generator, matching resistor. The latter two parts determine performance of receiver. Using Cadence's SPECTRE software and TSMC's library of 0.25 μm mixed-signal CMOS model, simulation results revealed that the clock-generator produces five 480Mbps equal-spaced clock signals between one another. Time interval between each other keeps 0.416 ns with jitter of 35 ps, lock time of 1.8 μs ; the value of resistor ranges within $[44.3 \Omega, 45.6 \Omega]$, maximum time leveling off is less than 6 μs , average error is $\pm 1.45\%$, maximum error range within 1.56%. Altogether the whole receiver possess capacity in receiving 480 Mbps serial data.

Key words: high-speed serial link; receiver; high-precision on-chip termination resistor; high-precision on-chip clock generator